

一种基于 40 nm CMOS 工艺的电流舵 DAC IP 核设计

王 东^{1,2}, 陈 岚^{1,2}, 冯 燕^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 三维及纳米集成电路设计自动化技术北京市重点实验室, 北京 100029)

摘 要: 基于 SMIC 40 nm CMOS 工艺, 设计了一种 10 位 100 MS/s DAC IP 核. 该 DAC IP 核采用 6+4 分段式电流舵结构, 1.1 V/2.5 V 双电源供电, 满量程输出电流为 20 mA. 完成了 DAC IP 核电路和版图的原型设计, 提取了物理模型与时序模型, 组成基本的数据交付项. 对该 DAC IP 核进行了仿真分析, 给出了流片后的测试结果.

关键词: 数模转换器; 分段式电流舵; IP 核

中图分类号: TN79+2; TN402

文献标识码: A

文章编号: 1000—7180(2017)02—0025—05

Design of a Current-Steering DAC IP Core Based on 40 nm CMOS Process

WANG Dong^{1,2}, CHEN Lan^{1,2}, FENG Yan^{1,2}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China; 2 Beijing Key Laboratory of Three-dimensional and Nanometer Integrated Circuit Design Automation Technology, Beijing 100029, China)

Abstract: Based on SMIC 40 nm CMOS process, a 10 bit 100MS/s DAC IP core was designed. A 6+4 segmented current-steering architecture was employed in the DAC IP core, and the full-scale output current was 20 mA with 1.1 V/2.5 V dual power supplies. For the DAC IP core, the prototype design of circuit and layout was completed, and the physical model and timing model were obtained to form the data deliveries. The simulation analysis of the DAC IP core was carried out, and the test results after tape-out were presented.

Key words: DAC; segmented current-steering; IP core

1 引言

目前片上系统(System on Chip, SoC)芯片在集成电路设计领域的应用非常普及, 知识产权(Intellectual Property, IP)核是 SoC 设计的基础, 使用成熟的 IP 核能够降低 SoC 的设计风险, 缩短开发周期. 传统 IC 芯片不断向 IP 核过渡和演化, 需要在交付形态和应用方式等方面满足 IP 核的不同层次描述和特征属性规定.

在 SoC 芯片中, 与数字类 IP 核相比, 模拟/混合信号 IP 核在数量和面积上所占的比例较小, 但是作用却非常重要. 作为典型的模拟/混合信号 IP 核, 数模转换器(Digital-to-Analog Converter, DAC)是数字系统和模拟世界之间的重要接口模块, 广泛应用于视频和通信等领域. 电流舵结构在速度、成本和

功耗上的优势使其成为 DAC IP 核的常用实现方式. DAC IP 核以硬核的形态进行交付, 其设计被映射到一个特定的工艺上.

本文基于 SMIC 40 nm CMOS 工艺, 设计了一种 10 bit 100 MS/s 分段式电流舵 DAC IP 核, 可以满足易用性、复用性的要求.

2 DAC IP 核原型设计

2.1 DAC IP 核架构

分段式电流舵 DAC 可以得到良好的静态和动态性能, 能够实现功耗、面积和电路复杂度之间的平衡. 本文采用的分段式电流舵 DAC 架构如图 1 所示.

将 10 位输入数字码分段, 高 6 位 MSB(Most Significant Bit)经过温度计译码电路, 实现二进制

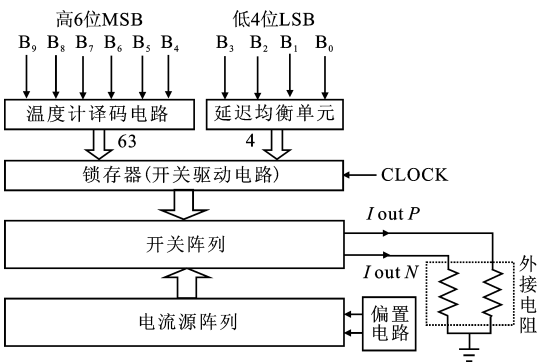


图 1 分段式电流舵 DAC 架构

码到温度计码的转换,低 4 位 LSB(Least Significant Bit)经过延迟均衡单元^[1]. 译码或延时后的信号经过锁存器处理,产生时序同步、交叉点调整的互补开关控制信号,利用差分对开关的通断决定电流源阵列中的电流路径,实现数模转换功能.

对于 DAC 而言,无杂散动态范围(Spurious-Free Dynamic Range, SFDR)是描述线性度的关键参数. 为了得到高的 SFDR,需要减小电流源失配、时序误差、与编码相关的负载变化和开关毛刺等非理想效应.

2.2 电路设计

2.2.1 模拟部分

2.2.1.1 电流源单元和开关单元

分段式电流舵 DAC 通过对电流源加权电流的控制实现数模转换功能,开关阵列根据开关控制信号选择电流源电流的流向.

电流源单元是影响 DAC 性能的重要部分,主要设计问题集中在失配和电流源有限输出阻抗上. 任意两个电流源之间的随机误差以及工艺、温度、梯度带来的系统误差都会引起电流失配^[2]. 电流失配对 INL 的影响较大,通常用 INL 良率(yield)表示工艺和 DAC 性能之间的关系,可以根据 INL 良率要求推导电流源晶体管的面积约束. 为了增大电流源的输出电阻,减小电流源漏极电压变化造成的毛刺误差,采用 cascode 结构设计电流源单元^[3]. 如果单位电流源的电流值大小为 I_{unit} ,则 4 个二进制加权电流源的电流值大小依次为 $1I_{unit}$ 、 $2I_{unit}$ 、 $4I_{unit}$ 、 $8I_{unit}$,63 个温度计码加权电流源的电流值大小都为 $16 I_{unit}$.

为了使电流源始终存在电流通路,并且增加开关的输出阻抗,采用差分 cascode 开关结构,可以有效抑制馈通效应,降低开关控制信号耦合到输出端产生的毛刺,减小对输出端的干扰. 应保证 cascode

开关管在导通时工作于饱和区^[4].

电流源单元和开关单元的组合如图 2 所示. 在实际设计中,电流源单元和开关单元通常以电流源阵列和开关阵列的形式呈现.

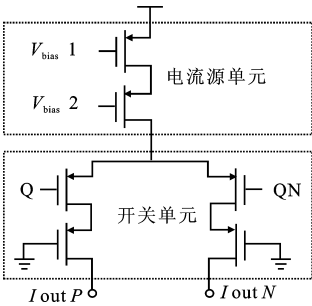


图 2 电流源单元和开关单元的组合

2.2.1.2 偏置电路

偏置电路是分段式电流舵 DAC 模拟部分正常工作的基础,影响着电路性能的稳定性. 分段式电流舵 DAC 的偏置电路包括带隙基准电压源、电压-电流转换电路、低压 cascode 电流镜等三个部分,如图 3 所示.

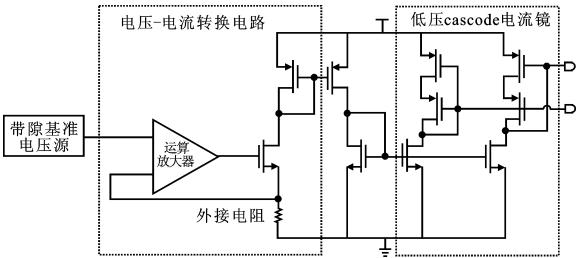


图 3 偏置电路

带隙基准电压源用于产生具有良好温度特性的基准电压,电压-电流转换电路通过运算放大器的负反馈作用,利用基准电压和外接电阻产生稳定的基准电流,然后经过低压 cascode 电流镜为电流源阵列提供偏置.

2.2.2 数字部分

2.2.2.1 温度计译码电路

温度计码可以减小输入信号变化引起的开关导通或关断数量,从而减小开关切换对输出信号的干扰,保证 DAC 的单调性. 温度计译码电路由行、列译码器和电流源状态逻辑选择电路组成,如图 4 所示. 6 位 MSB 分成两组,高 3 位输入到行译码器,低 3 位输入到列译码器,分别生成 7 位的行、列控制信号. 此外,电源和地也是相应的控制信号.

为了设计上的直观表现,可将电流源状态逻辑选择电路摆放成 8 行 × 8 列的矩阵,矩阵中共包括

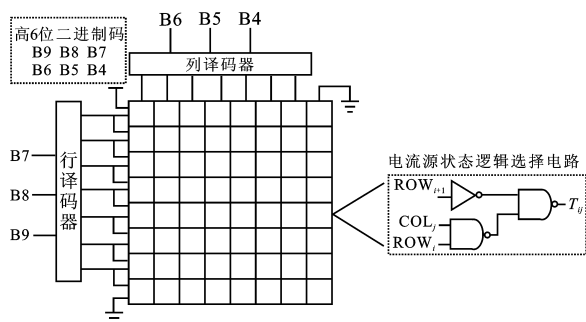


图 4 温度计译码电路原理图

64 个重复的模块, 其中右下角的模块是伪模块(dummy). 所在行(行编号为 i)的控制信号 ROW_i 、下一行(行编号为 $i+1$)的控制信号 ROW_{i+1} 以及所在列(列编号为 j)的控制信号 COL_j 共同决定了电流源状态逻辑选择电路的输出 T_{ij} , 逻辑表达式为 $T_{ij} = ROW_i \cdot COL_j + ROW_{i+1}$. 电流源状态逻辑选择电路配合锁存器控制着开关阵列的操作, 从而影响着电流源阵列的工作状态.

2.2.2.2 锁存器

为了克服开关控制信号不同步、电流源晶体管漏极电压波动以及时钟馈通效应等因素对分段式电流舵 DAC 性能的影响,需要设计一个锁存器作为开关驱动电路. 锁存器是分段式电流舵 DAC 中数字部分和模拟部分的接口,主要功能是使开关控制信号同步,并且调整开关管差分控制信号的交叉点,使开关管不会同时关断. 锁存器电路如图 5 所示^[5].

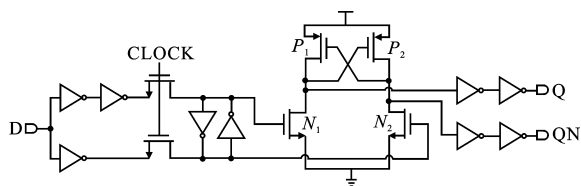


图 5 锁存器

利用反相器将锁存器的输入信号转换为互补差分对信号,并经过时钟控制传输管采样,两个首尾相接的反相器形成正反馈环路,用于抑制传输管的时钟馈通效应以及稳定同步输入信号.通过调节 P_1/P_2 和 N_1/N_2 晶体管的尺寸可以改变输出信号的交叉点.本设计中采用的是 PMOS 差分对开关,因此需要降低开关控制信号的交叉点.用两级反相器级联提高锁存器的驱动能力.

对于分段式电流舵 DAC 数字部分的电路设计,均在晶体管级采用全定制方法手工搭建电路.

2.3 版图设计

版图设计直接影响着分段式电流舵 DAC 的性

能,需要采取措施优化布局布线,例如,数字区域和模拟区域保持一定的距离,将模拟和数字的电源、地分开,采用保护环(guard ring)隔离和屏蔽敏感信号等.

在分段式电流舵 DAC 中,为了补偿温度、工艺以及电学梯度等引起的误差,需要专门的开关策略. 开关策略实际上是一种版图技术,决定了锁存器的输出与开关控制信号之间的互连,优化开关策略可以减小梯度误差引起的非线性. 温度计码加权阵列通常采用矩阵结构,其中的 dummy 区域可以用于放置二进制加权阵列^[6].

设计电流源矩阵版图时,对电流源进行分割,保证每个电流源分割后的单元分布于电流源矩阵的每行和每列中.在电流源矩阵规模和开关策略性能之间进行折衷处理,并根据变换规则依次替换相同编号单元对应的电流源.这种开关策略对于线性以及二次方梯度误差有很好的抵消作用,并且能够减小边缘效应的影响^[7].

分段式电流舵 DAC 整体版图如图 6 所示,核心面积为 0.32 mm^2 .

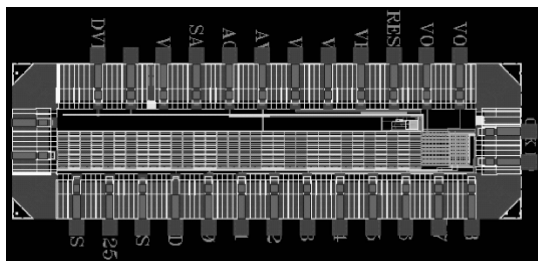


图 6 带 I/O PAD 的 DAC 芯片整体版图

3 DAC IP 核模型提取

3.1 物理模型

本文的 DAC IP 核模型提取,以数字电路设计流程的要求为导向,在 EDA 工具环境下产生可供交付使用的 IP 核数据,以满足布局布线、时序分析等要求. IP 核模型的数据格式应能与主流 EDA 工具兼容,且具有复用性^[8].

在 Cadence EDA 工具环境中,基于物理版图、逻辑数据、工艺信息以及具体的单元建模要求,利用库建模工具 abstract 生成物理模型的库交换格式 (Library Exchange Format, LEF) 文件. DAC IP 核的 LEF 文件对物理版图信息进行了抽象和简化,主要包含了可供布局布线使用的基本信息,如管脚名称、类型、方向、金属层以及禁止布线区域等.

此外,在 Synopsys EDA 工具环境中,物理模型提取相当于物理库数据准备,将 DAC IP 核的物理版图信息转化到 Milkyway 数据库中. Milkyway 数据库是 Synopsys 定义的一种设计存储格式.

Milkyway 数据库常用的视图(view)类型主要有 CEL view 和 FRAM view. DAC IP 核的 CEL view 是物理结构的全版图视图,包含了用于布局、布线以及生成掩膜层的所有单元信息. FRAM view 是单元的抽象提取,仅仅包含用于布局布线的信息,省略了其他的单元特征,去掉了不必要的信息,有利于提高布线效率.

在 IP 核集成过程中,通常用 IP 核的物理模型代替版图.出于保护知识产权的目的,完成布局布线之后,IP 核的物理版图信息需要到代工厂进行 IP merge.

3.2 时序模型

本文利用 Synopsys 的 NanoTime 工具提取 DAC IP 核的时序模型, NanoTime 是晶体管级的静态时序分析工具.

基于电路网表文件、工艺库信息以及寄生参数文件,经过网表准备、时钟传播和拓扑识别、时序约束描述等阶段,对相应的数据进行仿真,可以生成. lib 或者. db 格式的时序模型. 需要说明的是,在时序模型生成过程中,屏蔽了 DAC IP 核的开关阵列、电流源阵列以及偏置电路等模拟部分,只针对其中的数字部分进行时序模型提取和分析.

DAC IP 核的时序模型包含了数字部分的静态时序信息,描述了端口时序信息和时序约束条件,主要用于进行时序验证与分析.

DAC IP 核模型提取的具体流程和结果可参见文献[8]. DAC IP 核的物理模型和时序模型既包含了必要的应用信息,又保护了 IP 核的设计信息,是 IP 核数据交付项的重要内容,满足 IP 核可复用并且知识产权可控的基本要求.

4 仿真分析与测试结果

4.1 仿真分析

分段式电流舵 DAC 使用双电源供电,数字电源电压为 1.1 V,模拟电源电压为 2.5 V,满量程输出电流为 20 mA. 提取版图寄生参数,设置相应的仿真条件,保证偏置电压准确,对版图进行后仿真. 分析 DAC 的静态参数,后仿真得到的 DNL、INL 如图 7 所示.

DNL=0.117 2 LSB,INL=0.715 8 LSB,保证

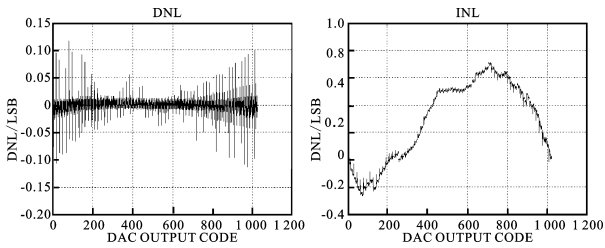


图 7 DNL、INL 后仿真结果

了 $DNL < 1$ LSB 和 $INL < 1$ LSB, DAC 输出具有良好的线性度和较好的单调性.

分析 DAC 的动态性能时,参考电压由外部直接提供. 采样时钟频率 f_s 为 100 MHz,根据相干采样原理,选择输入信号频率 f_{in} 和设置仿真数据个数, DAC 的动态性能后仿真情况如图 8 所示.

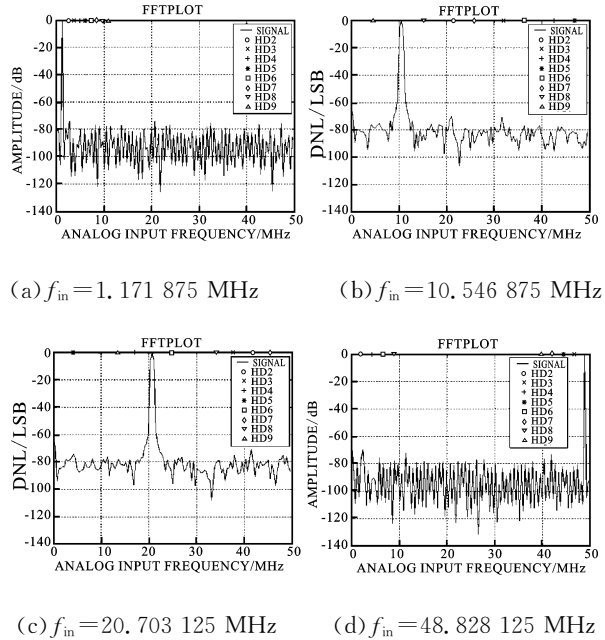


图 8 FFT 后仿真结果

通常用频域参数 SFDR 衡量电流舵 DAC 的动态性能, DAC 的 SFDR 后仿真性能如表 1 所示.

表 1 DAC 的 SFDR 后仿真性能

$f_s=100$ MHz				
f_{in} /MHz	1.171 875	10.546 875	20.703 125	48.828 125
SFDR /dB	74.04	70.12	70.88	68.72

4.2 测试结果

DAC 经过流片后,封装类型为 DIP32.

测试时,利用外接负载电阻将 DAC 的差分输出电流信号转化为电压信号. 把偏置电路的输出信号作为测试端口引出,用于监测偏置电路性能,并在

必要时提供正确偏置. 实际测试发现, 芯片内部偏置电路产生的参考电压与理想值偏差较大, 采用外部直接供电的方式为 DAC 提供偏置.

采样时钟频率 f_s 为 100 MHz, 对于不同的输入信号频率 f_{in} , 共对 3 个 DAC 样片进行了测试, SFDR 测试性能如表 2 所示.

表 2 DAC 的 SFDR 测试结果

f_{in}/MHz	1	10	20
样片 1 SFDR/dB	41. 61	42. 56	28. 68
样片 2 SFDR/dB	39. 96	34. 08	29. 07
样片 3 SFDR/dB	41. 6	42. 4	28. 44

从测试结果看, 用正弦波信号转换的 10 位数字码作为输入, 经 DAC 处理后, 可以恢复出正弦波信号, 表明 DAC 能够实现数模转换功能, 通过了功能测试. 但是 DAC 的性能与设计目标还有不少差距, 性能参数有待进一步提升. 可以从完善设计和优化测试方案等方面进行改进, 例如在进行电路设计和版图设计时, 应充分考虑设计裕量以及非理想效应; 制定测试方案时, 根据待测芯片的设计指标合理选取测试设备, 考虑测试方法的灵活性和可配置性, 尤其注意噪声耦合以及信号隔离问题.

5 结束语

基于 SMIC 40 nm CMOS 工艺, 完成了一种 10 位 100 MS/s DAC IP 核的原型设计、模型提取和流片验证. 该 DAC IP 核采用了 6+4 分段式电流舵结构, 进行了电流源阵列、开关阵列、偏置电路等模拟模块以及温度计译码电路、锁存器等数字模块的电路设计, 采用专门的开关策略优化版图设计. 提取了 DAC 在转化为 IP 核过程中所需生成的物理模型与时序模型, 组成 DAC IP 核的数据交付项. 对该 DAC IP 核进行了仿真分析和流片验证, 测试结果表明该 DAC IP 核能够实现数模转换功能, 通过了功能测试, 但是性能参数有待改进和提升.

参考文献:

[1] Geert A M, Van der Plas, Jan Vandenbussche, Willy Sansen, et al. A 14-bit intrinsic accuracy Q^2 random walk CMOS DAC[J]. IEEE Journal of Solid-State Cir-

cuits, 1999, 34(12): 1708-1718.
[2] Yu Chuehao, Chen Wenhui, Li Dayuei , et al. A 1V 10-Bit 400MS/s current-steering D/A converter in 90-nm CMOS[C] // 2007 International Symposium on VLSI Design, Automation and Test (VLSI-DAT). Hsinchu, 2007: 1-4.
[3] Yannan Ren, Fule Li, Chun Zhang, et al. A 400MS/s 10-bit current-steering D/A converter[C] // Communications, Circuits and Systems (ICCCAS), 2009 International Conference on. Milpitas, CA, 2009: 533-536.
[4] Luo Min, Yu Mingyan, Li Gen. An 11-Bit high-speed current steering DAC[C] // Consumer Electronics, Communications and Networks (CECNet), 2012 2nd International Conference on. China, Yichang, 2012: 1622-1625.
[5] Zhong Shupeng, Tan Nick. A 12 bit 150 M Sample/s current-steering DAC [C] // Circuits and Systems (APCCAS), 2008 IEEE Asia Pacific Conference on. Macao, 2008: 145-148.
[6] Cong Yonghua, Randall L Geiger. Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays[J]. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 2000, 47(7): 585-595.
[7] Jurgen Deveugele, Geert Van der Plas, Michiel Steyaert, et al. A gradient-error and edge-effect tolerant switching scheme for a high-accuracy DAC[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2004, 51(1): 191-195.
[8] 王东, 陈岚, 冯燕. 基于 40nm CMOS 工艺的 DAC IP 核物理与时序建模[J]. 微电子学与计算机, 2015, 32(2): 56-59.

作者简介:

王 东 男, (1984-), 博士研究生. 研究方向为 IP 核设计、IP 核标准与共性技术. E-mail: wangdong@ime. ac. cn.
陈 岚 女, (1968-), 研究员, 博士生导师. 研究方向为计算机系统结构与芯片设计、集成电路设计方法学及电子设计产业共性技术研究.
冯 燕 女, (1980-), 博士研究生. 研究方向为 SoC 设计与验证、IP 核标准与共性技术.